

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132476

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H01L 25/10

H01L 25/11

H01L 25/18

(21)Application number : 04-282671

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.10.1992

(72)Inventor : FURUKAWA KIMINOBU

MATSUNAGA HAYASHI

SUEHIRO YOSHIKAZU

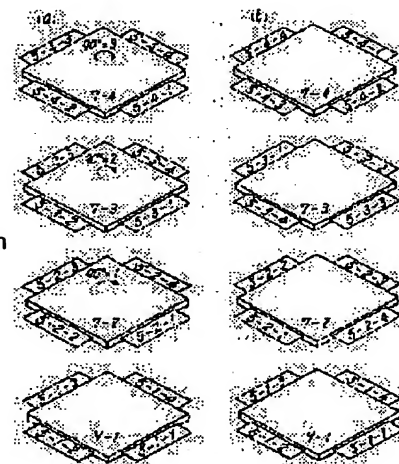
IWATA MASAO

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide an integrated circuit device which can deal with high processing speed of digital computer and high capacity of internal memory.

CONSTITUTION: A plurality of modules 7-1 to 7-4, each mounting a bare chip memory IC, are turned, respectively, by 90° and connected while being stacked thus constituting a hierarchic module. Furthermore, a resistor module comprising a plurality of resistors is arranged on the uppermost layer of the hierarchic module and the resistors are connected with the ends of bare chip memory ICs in the plurality of modules.



LEGAL STATUS

[Date of request for examination]

12.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3206144

[Date of registration]

06.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While mounting two or more semiconductor devices in the substrate of a corner guard form, it has the module which has arranged the terminal train of each semiconductor device along each side of a substrate. Two or more these modules are accumulated. Constitute a multi-hierarchy module and two or more above-mentioned modules. A specific terminal is pulled out for every semiconductor device among the terminal trains of a semiconductor device, a location can be shifted, and it arranges. A multi-hierarchy module. The integrated circuit device which carried out rotation arrangement and constituted two or more modules so that the specific terminal of the same location of two or more modules of each might not be arranged in the modular direction of a pile in the same location.

[Claim 2] While mounting two or more semiconductor devices in the substrate of a corner guard form, it has the module which has arranged the terminal train of each semiconductor device along each side of a substrate. Carry out the laminating of the resistance module which comes to mount in a substrate two or more resistance which accumulates two or more these modules, and constitutes a multi-hierarchy module, and is connected to the termination of each semiconductor device of the above-mentioned module to the maximum upper layer of the above-mentioned multi-hierarchy module, and it is arranged. The integrated circuit device which made common connection of each resistance of the above-mentioned resistance module in each module of the above-mentioned multi-hierarchy module at the terminal for termination of a common semiconductor device.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the integrated circuit device which constituted the internal-memory circuit used with digital computers, such as a workstation and a personal computer, from memory IC of monolithic structure, a substrate which mounts it, and a leadframe terminal.

[0002]

[Description of the Prior Art] Conventionally, that to which this kind of internal-memory circuit carried out soldering mounting of the memory IC at the printed circuit board is used.

[0003] Hereafter, the conventional internal-memory circuit used with a digital computer is explained, referring to a drawing.

[0004] Drawing 8 shows the circuit diagram of the conventional internal-memory circuit. In drawing 8, 11-1 to 11-4 is Memory IC, and 12 is an address bus, 13 is a data bus and memory IC 11-1 to 11-4 is IC of DRAM (dynamic random access memory) which needs storage maintenance actuation. In inputting a /RAS (row address strobe) signal and a /CAS (column address strobe) signal into each memory IC He is trying to choose the memory IC to access, and if a /WE (write enable) signal is inputted and writing and a /OE (output enable) signal will be inputted for data, he is trying for the access to read data.

[0005] Drawing 9 shows the perspective view which carried out soldering mounting of the memory IC for the conventional internal-memory circuit shown in drawing 8 at the printed circuit board.

[0006] In drawing 9, 14 is a printed circuit board and a printed circuit board 14 is a copper-clad laminate of four layers which mainly carried out wiring of the signal wiring, such as an address bus 12 and a data bus 13, for front flesh-side both sides of the base material which infiltrated the glass cloth into the epoxy resin, and its base material, and interpolated respectively wiring of power-source Rhine and touch-down Rhine. Memory IC is dice bonding and the package which carried out wire bonding and which was closed with the resin ingredient about the raise in basic wages IC chip of monolithic structure at the leadframe, and electrical installation is possible the outside of closure resin with the lead terminal of said leadframe.

[0007] Soldering connects with the signal wiring of the front face of a printed circuit board 14, and the lead terminal of memory IC 11-1 to 11-4 constitutes the internal-memory circuit.

[0008]

[Problem(s) to be Solved by the Invention] As one of the approaches of gathering the processing speed which is the fundamentality ability of a digital computer, while making the clock frequency of a system into a high speed, there is the approach of using storage capacity of an internal-memory circuit as large capacity.

[0009] Hereafter, how to use storage capacity as large capacity by drawing 9 is explained. In order to use storage capacity of an internal-memory circuit as large capacity, memory IC 11-1 to 11-4 of a large number according to storage capacity must be mounted in a printed circuit board 14. If flat-surface mounting of the memory IC 11-1 to 11-4 is carried out at the printed circuit board 14 which is performed from the former in that case, the wire length to the termination of wiring will become long, and the following troubles will arise.

(1) Since a wiring impedance will become large and the propagation property of a signal will deteriorate if a wire length becomes long, high-speed processing becomes difficult.

(2) When a wire length becomes long, reflection of a signal takes place at the termination of wiring, and make a signal wave form while spreading wiring transform.

[0010] The signal wave form where it is inputted into the memory IC 11-4 mounted in the termination of wiring by the effect of reflective of the signal which happens at the termination of wiring. In the signal wave form where it is inputted into the memory IC 11-1 mounted near the start edge The signal wave form where it is inputted into memory IC 11-1 deforms by reflection by the mismatching of the impedance of wiring termination, since the timing of access of memory IC 11-1 and memory IC 11-4 differs, a large timing margin is needed, and high-speed processing becomes impossible.

(3) Since the printed circuit board using the copper-clad laminate of four layers is expensive while the area of a printed circuit board becomes large, in order to use storage capacity as large capacity and to carry out flat-surface mounting of much memory IC 11 at a printed circuit board 14, if the storage capacity of a digital computer is raised, enlargement of equipment and the rise of cost will be caused.

[0011] Since there was such a trouble, it was difficult to gather the processing speed of a digital computer.

[0012] This invention solves such a technical problem and it aims at raising processing speed.

[0013]

[Means for Solving the Problem] In order to solve such a problem, while this invention mounts two or more semiconductor devices in the substrate of a corner guard form It has the module which has arranged the terminal train of each semiconductor device along each side of a substrate, and two or more these modules are accumulated. Constitute a multi-hierarchy module and two or more above-mentioned modules A specific terminal is pulled out for every semiconductor device among the terminal trains of a semiconductor device, a location can be shifted, and it arranges. A multi-hierarchy module Rotation arrangement is carried out and two or more modules are constituted so that the specific terminal of the same location of two or more modules of each may not be arranged in the modular direction of a pile in the same location.

[0014]

[Function] By mounting the module many hierarchized by this configuration in a printed circuit board, the wire length of a printed circuit board can be shortened by forming memory IC into three-dimension mounting from flat-surface mounting, and deformation of a signal wave form while spreading wiring can be pressed down to the minimum.

[0015]

[Example] Hereafter, drawing 1 - drawing 7 explain one example of this invention.

[0016] Drawing 3 shows the perspective view of the module 7 of the integrated circuit device which carried out bare chip mounting of the memory IC in one example of this invention. In drawing 3, the chip capacitor of a surface mounting form and 4 are constituted by the housing 6 to which a substrate and 2 are leadframes the bare chip of Memory IC, and 3, and 1 supports a lead terminal 5 and a lead terminal 5. a leadframe — four — a lead terminal — five — a housing — six — having supported — structure — becoming — **** — a substrate — one — memory — IC — a bare chip — two — and — surface mounting — a form — a chip capacitor — three — mounting — an integrated circuit device — constituting — while — a leadframe — four — a lead terminal — five — connecting — a substrate — one — having constituted — an integrated circuit device — the exterior — connection — possible — an integrated circuit device — a module — seven — constituting — ****.

[0017] In drawing 3, the bare chip 2 of Memory IC and the chip capacitor 3 of the surface mounting form for surge voltage absorption constitute one circuit at a time from one piece respectively, and mount four circuits in a substrate 1. Furthermore, four circuits are connected, without overlapping any one terminal train of the terminal train of four sides of the lead terminal 5 supported by the leadframe 4.

[0018] Drawing 2 is the circuit diagram of the module 7 of the integrated circuit device shown in drawing 3. In drawing 2, memory IC 2-1 and a capacitor 3-1 are connected to the terminal train 5-1, memory IC 2-2 and a capacitor 3-2 are connected to the terminal train 5-2, memory IC 2-3 and a capacitor 3-3 are connected to the terminal train 5-3, and memory IC 2-4 and a capacitor 3-4 are connected to the terminal train 5-4.

[0019] Although the terminal array of the terminal train 5-1 to 5-4 is the same about terminal-block 5-1E - 5-4E of a power supply terminal, an earth terminal, address bus terminal-block 5-1A - 5-4A, data bus terminal-block 5-1D - 5-4D, a /WE signal, and a /OE signal It is arranged without all of the terminal train of four sides overlapping about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0020] Namely, the terminal location of the /RAS signal of the terminal train 5-1 and a /CAS signal is non connection in the terminal train 5-2, 5-3, and 5-4. The terminal location of the /RAS signal of the terminal train 5-2 and a /CAS signal is non connection in the terminal train 5-1, 5-3, and 5-4. The terminal location of the /RAS signal of the terminal train 5-3 and a /CAS signal is non connection in the terminal train 5-1, 5-2, and 5-4, and the terminal location of the /RAS signal of the terminal train 5-4 and a /CAS signal is non connection in the terminal train 5-1, 5-2, and 5-3.

[0021] The explanatory view of the terminal array at the time of connecting a module 7 to drawing 1 (a) and (b) at many hierarchization is shown.

[0022] In drawing 1 (a), a module 7-1, 7-2, 7-3, and 7-4 are the modules of the same structure. The terminal train 5-1-1, the terminal train 5-1-2, the terminal train 5-1-3, and the terminal train 5-1-4 are the same terminal arrays. The terminal train 5-2-1, the terminal train 5-2-2, the terminal train 5-2-3, and the terminal train 5-2-4 are the same terminal arrays. The terminal train 5-3-1, the terminal train 5-3-2, the terminal train 5-3-3, and the terminal train 5-3-4 are the same terminal arrays, and the terminal train 5-4-1, the terminal train 5-4-2, the terminal train 5-4-3, and the terminal train 5-4-4 are the same terminal arrays.

[0023] Face multilayering a module and each module is rotated by a unit of 90 degrees. As shown in drawing 1 (b), the terminal train 5-1-1, the terminal train 5-2-4, the terminal train 5-3-3, and the terminal train 5-4-2 are piled up. The terminal train 5-1-2, the terminal train 5-2-1, the terminal train 5-3-4, and the terminal train 5-4-3 are piled up. The terminal train 5-1-3, the terminal train 5-2-2, the terminal train 5-3-1, and the terminal train 5-4-4 are piled up, and the terminal train 5-1-4, the terminal train 5-2-3, the terminal train 5-3-2, and the terminal train 5-4-1 are multilayered in piles.

[0024] The power supply terminal of each module which this multilayered, an earth terminal, address bus terminal-block 5-1A - 5-4A, Common connection of the terminal-block 5-1E - 5-4E of data bus terminal-block 5-1D - 5-4D, a /WE signal, and a /OE signal is made, and it is connected, without overlapping all of the memory IC mounted in four modules about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0025] The cross section of the leadframe of the many hierarchized module which carries out a laminating to drawing 4, and the module by which a laminating is carried out is shown.

[0026] drawing 4 -- setting -- 7-1, 7-2, 7-3, and .. 7-n being a many hierarchized module which carries out a laminating, and the configuration of the lead terminal 5 supported by the housing 6 with the lead terminal 5-1 of the module 7-1 by which a laminating is carried out the multilayered module 7-2 which carries out a laminating, 7-3, and .. the lead terminal 5-2 of 7-n, 5-3, and .. 5-n -- differing -- a lead terminal 5-2, 5-3, and .. the cross-section configuration of 5-n is the typeface of KO, and in case it carries out the laminating of the module, it carries out lower layer module and electrical installation.

[0027] The power supply terminal of each multilayered module as shown in drawing 1 for such structure, An earth terminal, address bus terminal-block 5-1A - 5-4A, data bus terminal-block 5-1D - 5-4D, Common connection of the terminal-block 5-1E - 5-4E of a /WE signal and a /OE signal is made, and it can connect, without overlapping all of the memory IC mounted in four modules about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0028] Thus, though the constituted multi-hierarchization memory module is equivalent to the circuit diagram of the conventional internal-memory circuit shown in drawing 8, since the wire length to termination can be shortened, a wiring impedance is small and an internal-memory circuit without degradation of the propagation property of a signal can be constituted.

[0029] The circuit diagram of a resistance module is shown in drawing 5. Drawing 5 R> 5 (a) Address bus terminal-block 5-1A - 5-4A of a memory module, Terminal-block 5-1E - 5-4E of data bus terminal-block 5-1D - 5-4D, a /WE signal, and a /OE signal, It is the circuit diagram of the resistance module which connects respectively a pull-up resistor R1 and a pull down resistor R2 to the terminal of a /RAS signal, and the terminal block 50 of a /CAS signal between a power supply terminal and an earth terminal. Drawing 5 (b) is the circuit diagram of the resistance module which connects a pull-up resistor R1 to a terminal block 50 between power supply terminals, and drawing 5 (c) is the circuit diagram of the resistance module which connects a pull down resistor R2 to a terminal block 50 between earth terminals.

[0030] By carrying out the laminating of the resistance module which mounted these resistance of two or more in the substrate to the maximum upper layer of a multi-hierarchization memory module further, and arranging it, since a terminator can be constituted to the termination of wiring, reflection of a signal can be lost, a time margin can be set up small, and the processing speed of a digital computer can be accelerated more.

[0031] The explanatory view of a terminal array which connects to many hierarchization the module which extended the bus line to drawing 6 and drawing 7 is shown, and it is constituted by making hierarchy connection of the multi-hierarchy module 7-a shown in drawing 6 on multi-hierarchy module 7-b shown in drawing 7.

[0032] The module 7-a-1 which constitutes multi-hierarchy module 7-a, 7-a-2, 7-a-3, and 7-a-4 are the modules of the same structure. The terminal train 5-a-1-1 of each module, the terminal train 5-a-2-1, the terminal train 5-a-3-1, and the terminal train 5-a-4-1 are the same terminal arrays. It is the same terminal array with same terminal train 5-a-1-2, terminal train 5-a-2-2, terminal train 5-a-3-2, and terminal train 5-a-4-2. It is the same terminal array with same terminal train 5-a-1-3, terminal train 5-a-2-3, terminal train 5-a-3-3, and terminal train 5-a-4-3, and is the same terminal array with same terminal train 5-a-1-4, terminal train 5-a-2-4, terminal train 5-a-3-4, and terminal train 5-a-4-4.

[0033] Moreover, the module 7-b-1 which constitutes multi-hierarchy module 7-b, 7-b-2, 7-b-3, and 7-b-4 are the modules of the same structure. Each module terminal train 5-b-1-1, the terminal train 5-b-2-1, the terminal train 5-b-3-1, and the terminal train 5-b-4-1 are the same terminal arrays. It is the same terminal array with same terminal train 5-b-1-2, terminal train 5-b-2-2, terminal train 5-b-3-2, and terminal train 5-b-4-2. It is the same terminal array with same terminal train 5-b-1-3, terminal train 5-b-2-3, terminal train 5-b-3-3, and terminal train 5-b-4-3, and is the same terminal array with same terminal train 5-b-1-4, terminal train 5-b-2-4, terminal train 5-b-3-4, and terminal train 5-b-4-4.

[0034] The terminal array of terminal train 5-a-n-1 of module 7-a-n (n is 1-4) - 5-a-n-4 Although it is the same about terminal-block 5-a-n-1E - 5-a-n-4E of a power supply terminal, an earth terminal, address bus terminal-block 5-a-n-1A - 5-a-n-4A, data bus terminal-block 5-a-n-1D - 5-a-n-4D, a /WE signal, and a /OE signal It is arranged without all of the terminal train of four sides overlapping about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0035] Namely, the terminal location of the /RAS signal of terminal train 5-a-n-1 and a /CAS signal is non connection (NC) in terminal train 5-a-n-2, 5-a-n-3, and 5-a-n-4. The terminal location of the /RAS signal of terminal train 5-a-n-2 and a /CAS signal is non connection (NC) in terminal train 5-a-n-1, 5-a-n-3, and 5-a-n-4. The terminal location of the /RAS signal of terminal train 5-a-n-3 and a /CAS signal is non connection (NC) in terminal train 5-a-n-1, 5-a-n-2, and 5-a-n-4. The terminal location of the /RAS signal of terminal train 5-a-n-4 and a /CAS signal is non connection (NC) in terminal train 5-a-n-1, 5-a-n-2, and 5-a-n-3.

[0036] Moreover, the terminal array of terminal train 5-b-n-1 of module 7-b-n (n is 1-4) - 5-b-n-4 Although it is the same about terminal-block 5-b-n-1E - 5-b-n-4E of a power supply terminal, an earth terminal, address bus terminal-block 5-b-n-1A - 5-b-n-4A, data bus terminal-block 5-b-n-1D - 5-b-n-4D, a /WE signal, and a /OE signal It is arranged without all of the terminal train of four sides overlapping about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0037] Namely, the terminal location of the /RAS signal of terminal train 5-b-n-1 and a /CAS signal is non connection (NC) in terminal train 5-b-n-2, 5-b-n-3, and 5-b-n-4. The terminal location of the /RAS signal of terminal train 5-b-n-2 and a /CAS signal is non connection (NC) in terminal train 5-b-n-1, 5-b-n-3, and 5-b-n-4. The terminal location of the /RAS signal of terminal train 5-b-n-3 and a /CAS signal is non connection (NC) in terminal train 5-b-n-1, 5-b-n-2, and 5-b-n-4. The terminal location of the /RAS signal of terminal train 5-b-n-4 and a /CAS signal is non connection (NC) in terminal train 5-b-n-1, 5-b-n-2, and 5-b-n-3.

[0038] Furthermore, the power supply terminal of multi-hierarchy module 7-a and multi-hierarchy module 7-b, An earth terminal, address bus terminal-block 5-a-n-1A - 5-a-n-4A, 5-b-n-1A - 5-b-n-4A, Although it is the terminal array same about the terminal of terminal-block 5-a-n-1E - 5-a-n-4E of a /WE signal and a /OE signal, 5-b-n-1E - 5-b-n-4E, and a RAS signal, and the terminal of a /CAS signal Data bus terminal-block 5-a-n-1D - 5-a-n-4D, 5-b-n-1D - 5-b-n-4D is arranged without overlapping. The terminal of multi-hierarchy module 7-b equivalent to the location of data bus terminal-block 5-a-n-1D - 5-a-n-4D is non connection (NC). The terminal of multi-hierarchy module 7-a

equivalent to the location of data bus terminal-block 5-b-n-1D - 5-b-n-4D is non connection (NC).
[0039] If hierarchy connection of multi-hierarchy module 7-a and multi-hierarchy module 7-b with such a terminal array is made, the module of the data bus extended to 8 bits adding data bus terminal-block 5-a-n-1D - 5-a-n-4D, 5-b-n-1D - 5-b-n-4D can be constituted.

[0040]

[Effect of the Invention] Since an internal-memory circuit can be constituted from a short wire length as mentioned above according to this invention, deformation of a signal wave form while spreading wiring can be pressed down to the minimum.

[0041] Moreover, since reflection of the signal by the mismatching of the impedance of wiring termination is lost by making laminating connection of the resistance module to a multi-hierarchization memory module, the processing speed which is the fundamentality ability of a digital computer can be gathered.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (a) and (b) are the explanatory view of the terminal array at the time of connecting a module to many hierarchies in the integrated circuit device by one example of this invention.

[Drawing 2] The circuit diagram of the module of this equipment

[Drawing 3] The perspective view of this module

[Drawing 4] The sectional view showing the terminal strapping section in this equipment

[Drawing 5] (a), (b), and (c) are the circuit diagram showing the example of connection of a resistance module in the integrated circuit device by one example of this invention.

[Drawing 6] The explanatory view showing the terminal array of one multi-hierarchy module in the integrated circuit device by one example of this invention

[Drawing 7] The explanatory view showing the terminal array of the multi-hierarchy module of another side in this equipment

[Drawing 8] The circuit diagram of the conventional internal-memory circuit

[Drawing 9] The perspective view showing the condition of having carried out soldering mounting of the memory IC, and having constituted the conventional internal-memory circuit in the printed circuit board

[Description of Notations]

1 Substrate

2 Bare Chip of Memory IC

3 Chip Capacitor

4 Leadframe

5 Lead Terminal

6 Housing

7, 7-1, 7-2, 7-3, 7-4 Module

7-a, 7-b Multi-hierarchy module

5-1-1 to 5-4-4 Terminal train

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-132476

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/10

25/11

25/18

H 0 1 L 25/ 14

Z

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平4-282671

(22)出願日 平成4年(1992)10月21日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 古川 仁信

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 松永 速

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 末廣 芳和

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

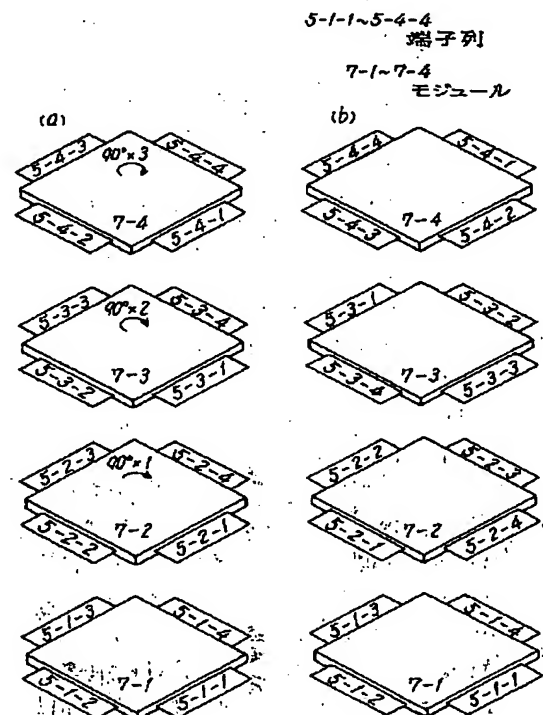
最終頁に続く

(54)【発明の名称】 集積回路装置

(57)【要約】

【目的】 デジタルコンピュータの処理速度の高速化と、内部メモリーの大容量化に対応できる集積回路装置を提供する。

【構成】 メモリーICのペアチップを実装した複数個のモジュール7-1~7-4を各々90度ずつ回転させて積層接続することにより多階層モジュールを構成するものである。さらに、複数個の抵抗からなる抵抗モジュールを多階層モジュールの最上層に配置し、複数個の各モジュールのメモリーICのペアチップの終端に抵抗を共通接続するものである。



(2)

【特許請求の範囲】

【請求項1】角板形の基板に複数個の半導体素子を実装するとともに、各半導体素子の端子列を基板の各辺に沿って配置したモジュールを有し、このモジュールを複数個積み重ねて多階層モジュールを構成し、かつ上記複数個のモジュールは、半導体素子の端子列のうち特定の端子を各半導体素子毎に引出し位置をずらせて配置し、多階層モジュールは、複数個の各モジュールの同一位置の特定の端子がモジュールの積み重ね方向において同一位置に配置されないように複数個のモジュールを回転配置して構成した集積回路装置。

【請求項2】角板形の基板に複数個の半導体素子を実装するとともに、各半導体素子の端子列を基板の各辺に沿って配置したモジュールを有し、このモジュールを複数個積み重ねて多階層モジュールを構成し、かつ上記モジュールの各半導体素子の終端に接続される複数個の抵抗を基板に実装してなる抵抗モジュールを上記多階層モジュールの最上層に積層して配置し、上記多階層モジュールの各モジュールにおいて、共通する半導体素子の終端用端子に上記抵抗モジュールの各抵抗を共通接続した集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばワークステーション、パーソナルコンピュータなどのデジタルコンピュータで用いる内部メモリ回路を、モノリシック構造のメモリICと、それを実装する基板とリードフレーム端子とで構成した集積回路装置に関するものである。

【0002】

【従来の技術】従来、この種の内部メモリ回路はプリント基板にメモリICを半田付け実装したものが使われる。

【0003】以下、図面を参照しながらデジタルコンピュータで用いる従来の内部メモリ回路について説明する。

【0004】図8は、従来の内部メモリ回路の回路図を示すものである。図8において、11-1～11-4はメモリICであり、12はアドレスバスであり、13はデータバスであり、メモリIC11-1～11-4は記憶保持動作が必要なDRAM（ダイナミック・ランダム・アクセス・メモリ）のICであり、/RAS（ロウ・アドレス・ストロブ）信号と/CAS（コラム・アドレス・ストロブ）信号を各々のメモリICに入力することで、アクセスするメモリICを選択するようにしており、そのアクセスは/WE（ライト・イネーブル）信号を入力するとデータを書込み、/OE（アウトプット・イネーブル）信号を入力するとデータを読み出す様にしている。

【0005】図9は、図8に示した従来の内部メモリ回路をプリント基板にメモリICを半田付け実装した

斜視図を示すものである。

【0006】図9において、14はプリント基板であり、プリント基板14はガラス織布をエポキシ樹脂に含浸させた基材と、その基材の表裏両面をアドレスバス12やデータバス13などの信号配線を主に布線し、電源ラインと接地ラインの配線を各々内挿した4層の銅張り積層板である。メモリICはモノリシック構造のベアICチップをリードフレームにダイスボンディングおよびワイヤーボンディングし、樹脂材料で封止したパッケージになっており、前記リードフレームのリード端子によって封止樹脂の外と電気的接続が可能になっている。

【0007】メモリIC11-1～11-4のリード端子は、プリント基板14の表面の信号配線に半田付けによって接続され、内部メモリ回路を構成している。

【0008】

【発明が解決しようとする課題】ディジタルコンピュータの基本性能である処理速度を上げる方法の一つとして、システムのクロック周波数を高速にするとともに、内部メモリ回路の記憶容量を大容量にする方法がある。

【0009】以下、図9によって記憶容量を大容量にする方法について説明する。内部メモリ回路の記憶容量を大容量にするためには、記憶容量に応じた多数のメモリIC11-1～11-4をプリント基板14に実装しなければならない。その際、従来から行われているようなプリント基板14にメモリIC11-1～11-4を平面実装すると、配線の終端までの配線長が長くなり、以下のような問題点が生ずる。

(1) 配線長が長くなると配線インピーダンスが大きくなり、信号の伝搬特性が劣化するために高速処理が困難になる。

(2) 配線長が長くなると配線の終端で信号の反射が起こり、配線を伝搬中の信号波形を変形させる。

【0010】配線の終端で起こる信号の反射の影響によって、配線の終端に実装したメモリIC11-4に入力される信号波形と、始端近辺に実装したメモリIC11-1に入力される信号波形では、メモリIC11-1に入力される信号波形が配線終端のインピーダンスの不整合による反射によって変形し、メモリIC11-1とメモリIC11-4のアクセスのタイミングが異なるため大幅なタイミングマージンが必要になり、高速処理ができなくなる。

(3) 記憶容量を大容量にするために多数のメモリIC11をプリント基板14に平面実装するためにプリント基板の面積が広くなるとともに4層の銅張り積層板を用いたプリント基板は高価なため、ディジタルコンピュータの記憶容量を上げると装置の大型化とコストの上昇を招く。

【0011】このような問題点があるため、ディジタルコンピュータの処理速度を上げることが困難であった。

(3)

3

【0012】本発明はこのような課題を解決するもので、処理速度を向上させることを目的とする。

【0013】

【課題を解決するための手段】このような問題を解決するために本発明は、角板形の基板に複数の半導体素子を実装するとともに、各半導体素子の端子列を基板の各辺に沿って配置したモジュールを有し、このモジュールを複数個積み重ねて多階層モジュールを構成し、かつ上記複数個のモジュールは、半導体素子の端子列のうち特定の端子を各半導体素子毎に引出し位置をずらせて配置し、多階層モジュールは、複数の各モジュールの同一位置の特定の端子がモジュールの積み重ね方向において同一位置に配置されないように複数のモジュールを回転配置して構成したものである。

【0014】

【作用】この構成により多階層化したモジュールをプリント基板に実装することで、メモリーICを平面実装から3次元実装化することでプリント基板の配線長を短くでき、配線を伝搬中の信号波形の変形を最小限に押さえられるものである。

【0015】

【実施例】以下、本発明の一実施例を図1～図7により説明する。

【0016】図3は本発明の一実施例におけるメモリーICをベアチップ実装した集積回路装置のモジュール7の斜視図を示すものである。図3において、1は基板、2はメモリーICのベアチップ、3は面実装形のチップコンデンサ、4はリードフレームであり、リード端子5とリード端子5を支持する支持枠6により構成されている。リードフレーム4はリード端子5を支持枠6で支持した構造になっており、基板1はメモリーICのベアチップ2および面実装形のチップコンデンサ3を実装して集積回路装置を構成するとともにリードフレーム4のリード端子5を接続して、基板1に構成した集積回路装置と外部接続可能に集積回路装置のモジュール7を構成している。

【0017】図3において、メモリーICのベアチップ2およびサージ電圧吸収用の面実装形のチップコンデンサ3は各々1個ずつで一つの回路を構成し、基板1に4つの回路を実装している。さらに、4つの回路はリードフレーム4に支持されるリード端子5の4辺の端子列のいずれか一つの端子列に重複することなく接続される。

【0018】図2は図3に示した集積回路装置のモジュール7の回路図である。図2において、メモリーIC2-1とコンデンサ3-1は端子列5-1に接続され、メモリーIC2-2とコンデンサ3-2は端子列5-2に接続され、メモリーIC2-3とコンデンサ3-3は端子列5-3に接続され、メモリーIC2-4とコンデンサ3-4は端子列5-4に接続されている。

【0019】端子列5-1～5-4の端子配列は、電源、

4

端子、接地端子、アドレスバス端子群5-1A～5-4A、データバス端子群5-1D～5-4D、/WE信号、/OE信号の端子群5-1E～5-4Eについては同じであるが、/RAS信号の端子、/CAS信号の端子については4辺の端子列のいずれも重複することなく配置されている。

【0020】すなわち、端子列5-1の/RAS信号および/CAS信号の端子位置は端子列5-2、5-3、5-4においてはノンコネクタであり、端子列5-2の/RAS信号および/CAS信号の端子位置は端子列5-1、5-3、5-4においてはノンコネクタであり、端子列5-3の/RAS信号および/CAS信号の端子位置は端子列5-1、5-2、5-4においてはノンコネクタであり、端子列5-4の/RAS信号および/CAS信号の端子位置は端子列5-1、5-2、5-3においてはノンコネクタである。

【0021】図1(a)、(b)にモジュール7を多階層化に接続する際の端子配列の説明図を示す。

【0022】図1(a)において、モジュール7-1、7-2、7-3、7-4は同一構造のモジュールであり、端子列5-1-1、端子列5-1-2、端子列5-1-3、端子列5-1-4は同じ端子配列であり、端子列5-2-1、端子列5-2-2、端子列5-2-3、端子列5-2-4は同じ端子配列であり、端子列5-3-1、端子列5-3-2、端子列5-3-3、端子列5-3-4は同じ端子配列であり、端子列5-4-1、端子列5-4-2、端子列5-4-3、端子列5-4-4は同じ端子配列である。

【0023】モジュールを多層化するに際し、各モジュールを90度ずつ回転させ、図1(b)に示すように端子列5-1-1、端子列5-2-4、端子列5-3-3、端子列5-4-2を重ね、端子列5-1-2、端子列5-2-1、端子列5-3-4、端子列5-4-3を重ね、端子列5-1-3、端子列5-2-2、端子列5-3-1、端子列5-4-4を重ね、端子列5-1-4、端子列5-2-3、端子列5-3-2、端子列5-4-1を重ねて多層化している。

【0024】これにより、多層化した各モジュールの電源端子、接地端子、アドレスバス端子群5-1A～5-4A、データバス端子群5-1D～5-4D、/WE信号、/OE信号の端子群5-1E～5-4Eは共通接続され、/RAS信号の端子、/CAS信号の端子については4つのモジュールに実装したメモリーICのいずれにも重複することなく接続される。

【0025】図4に積層して多階層化するモジュールと積層されるモジュールのリードフレームの断面を示す。

【0026】図4において、7-1、7-2、7-3、...7-nは積層して多階層化するモジュールであり、支持枠6で支持するリード端子5の形状は積層されるモジュール7-1のリード端子5-1と、積層して多層化

(4)

5

するモジュール7-2, 7-3, … 7-nのリード端子5-2, 5-3, … 5-nと異なり、リード端子5-2, 5-3, … 5-nの断面形状はコの字形になっており、モジュールを積層する際、下層のモジュールと電氣的接続をする。

【0027】このような構造のため、図1に示すような、多層化した各モジュールの電源端子、接地端子、アドレスバス端子群5-1A~5-4A、データバス端子群5-1D~5-4D、/WE信号、/OE信号の端子群5-1E~5-4Eが共通接続され、/RAS信号の端子、/CAS信号の端子については4つのモジュールに実装したメモリーICのいずれにも重複することなく接続することができる。

【0028】このようにして構成した多階層化メモリーモジュールは図8に示した従来の内部メモリー回路の回路図と等価でありながら、終端までの配線長を短くすることができるので、配線インピーダンスが小さく、信号の伝搬特性の劣化の無い内部メモリー回路を構成できる。

【0029】図5に抵抗モジュールの回路図を示す。図5(a)は、メモリーモジュールのアドレスバス端子群5-1A~5-4A、データバス端子群5-1D~5-4D、/WE信号、/OE信号の端子群5-1E~5-4E、/RAS信号の端子、/CAS信号の端子群50にプルアップ抵抗R1、プルダウン抵抗R2を各々電源端子と接地端子の間に接続する抵抗モジュールの回路図であり、図5(b)は、端子群50にプルアップ抵抗R1を電源端子の間に接続する抵抗モジュールの回路図であり、また図5(c)は、端子群50にプルダウン抵抗R2を接地端子の間に接続する抵抗モジュールの回路図である。

【0030】この複数の抵抗を基板に実装した抵抗モジュールを多階層化メモリーモジュールの最上層に、さらに積層して配置することで、配線の終端に終端抵抗を構成できるので、信号の反射がなくなり、タイムマージンを小さく設定でき、ディジタルコンピュータの処理速度をより高速化できる。

【0031】図6、図7にバスラインを拡張したモジュールを多階層化に接続する端子配列の説明図を示しており、図6に示す多階層モジュール7-aを図7に示す多階層モジュール7-b上に階層接続することにより構成される。

【0032】多階層モジュール7-aを構成するモジュール7-a-1, 7-a-2, 7-a-3, 7-a-4は同一構造のモジュールであり、各モジュールの端子列5-a-1-1, 端子列5-a-2-1, 端子列5-a-3-1, 端子列5-a-4-1は同じ端子配列であり、同じく端子列5-a-1-2, 端子列5-a-2-2, 端子列5-a-3-2, 端子列5-a-4-2は同じ端子配列であり、同じく端子列5-a-1-3, 端子

6

列5-a-2-3, 端子列5-a-3-3, 端子列5-a-4-3は同じ端子配列であり、同じく端子列5-a-1-4, 端子列5-a-2-4, 端子列5-a-3-4, 端子列5-a-4-4は同じ端子配列である。

【0033】また、多階層モジュール7-bを構成するモジュール7-b-1, 7-b-2, 7-b-3, 7-b-4は同一構造のモジュールであり、各モジュール端子列5-b-1-1, 端子列5-b-2-1, 端子列5-b-3-1, 端子列5-b-4-1は同じ端子配列であり、同じく端子列5-b-1-2, 端子列5-b-2-2, 端子列5-b-3-2, 端子列5-b-4-2は同じ端子配列であり、同じく端子列5-b-1-3, 端子列5-b-2-3, 端子列5-b-3-3, 端子列5-b-4-3は同じ端子配列であり、同じく端子列5-b-1-4, 端子列5-b-2-4, 端子列5-b-3-4, 端子列5-b-4-4は同じ端子配列である。

【0034】モジュール7-a-n (nは1~4)の端子列5-a-n-1~5-a-n-4の端子配列は、電源端子、接地端子、アドレスバス端子群5-a-n-1A~5-a-n-4A、データバス端子群5-a-n-1D~5-a-n-4D、/WE信号、/OE信号の端子群5-a-n-1E~5-a-n-4Eについては同じであるが、/RAS信号の端子、/CAS信号の端子については4辺の端子列のいずれも重複することなく配置されている。

【0035】すなわち、端子列5-a-n-1の/RAS信号および/CAS信号の端子位置は端子列5-a-n-2, 5-a-n-3, 5-a-n-4においてはノンコネクト(NC)であり、端子列5-a-n-2の/RAS信号および/CAS信号の端子位置は端子列5-a-n-1, 5-a-n-3, 5-a-n-4においてはノンコネクト(NC)であり、端子列5-a-n-3の/RAS信号および/CAS信号の端子位置は端子列5-a-n-1, 5-a-n-2, 5-a-n-4においてはノンコネクト(NC)であり、端子列5-a-n-4の/RAS信号および/CAS信号の端子位置は端子列5-a-n-1, 5-a-n-2, 5-a-n-3においてはノンコネクト(NC)である。

【0036】また、モジュール7-a-n (nは1~4)の端子列5-b-n-1~5-b-n-4の端子配列は、電源端子、接地端子、アドレスバス端子群5-b-n-1A~5-b-n-4A、データバス端子群5-b-n-1D~5-b-n-4D、/WE信号、/OE信号の端子群5-b-n-1E~5-b-n-4Eについては同じであるが、/RAS信号の端子、/CAS信号の端子については4辺の端子列のいずれも重複することなく配置されている。

【0037】すなわち、端子列5-b-n-1の/RAS信号および/CAS信号の端子位置は端子列5-b-n-2, 5-b-n-3, 5-b-n-4においてはノ

(5)

7

ンコネクト (NC) であり、端子列 5-b-n-2 の /RAS 信号および /CAS 信号の端子位置は端子列 5-b-n-1, 5-b-n-3, 5-b-n-4 においてはノンコネクト (NC) であり、端子列 5-b-n-3 の /RAS 信号および /CAS 信号の端子位置は端子列 5-b-n-1, 5-b-n-2, 5-b-n-4 においてはノンコネクト (NC) であり、端子列 5-b-n-4 の /RAS 信号および /CAS 信号の端子位置は端子列 5-b-n-1, 5-b-n-2, 5-b-n-3 においてはノンコネクト (NC) である。

【0038】さらに、多階層モジュール 7-a と多階層モジュール 7-b の電源端子、接地端子、アドレスバス端子群 5-a-n-1A~5-a-n-4A, 5-b-n-1A~5-b-n-4A, /WE 信号、/OE 信号の端子群 5-a-n-1E~5-a-n-4E, 5-b-n-1E~5-b-n-4E, RAS 信号の端子、/CAS 信号の端子については同じ端子配列になっているが、データバス端子群 5-a-n-1D~5-a-n-4D と 5-b-n-1D~5-b-n-4D は重複することなく配置され、データバス端子群 5-a-n-1D~5-a-n-4D の位置に相当する多階層モジュール 7-b の端子はノンコネクト (NC) であり、データバス端子群 5-b-n-1D~5-b-n-4D の位置に相当する多階層モジュール 7-a の端子はノンコネクト (NC) である。

【0039】このような端子配列をもつ多階層モジュール 7-a と多階層モジュール 7-b を階層接続すると、データバス端子群 5-a-n-1D~5-a-n-4D と 5-b-n-1D~5-b-n-4D を加算した 8 ビットに拡張したデータバスのモジュールを構成すること

【0040】

【発明の効果】以上のように本発明によれば、短い配線長で内部メモリー回路が構成できるため、配線を伝搬中

8

の信号波形の変形を最小限に押さえられることができる。

【0041】また、多階層化メモリーモジュールに抵抗モジュールを積層接続することにより、配線終端のインピーダンスの不整合による信号の反射がなくなるので、デジタルコンピュータの基本性能である処理速度を上げることができるものである。

【図面の簡単な説明】

【図1】 (a), (b) は本発明の一実施例による集積回路装置において、モジュールを多階層に接続する際の端子配列の説明図

【図2】 同装置のモジュールの回路図

【図3】 同モジュールの斜視図

【図4】 同装置における端子接続部を示す断面図

【図5】 (a), (b), (c) は本発明の一実施例による集積回路装置において、抵抗モジュールの接続例を示す回路図

【図6】 本発明の一実施例による集積回路装置において、一方の多階層モジュールの端子配列を示す説明図

【図7】 同装置において、他方の多階層モジュールの端子配列を示す説明図

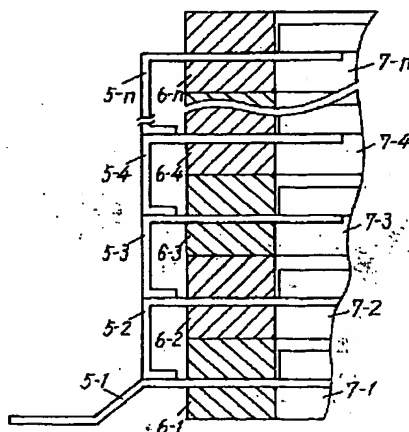
【図8】 従来の内部メモリー回路の回路図

【図9】 従来の内部メモリー回路をプリント基板にメモリー IC を半田付け実装して構成した状態を示す斜視図

【符号の説明】

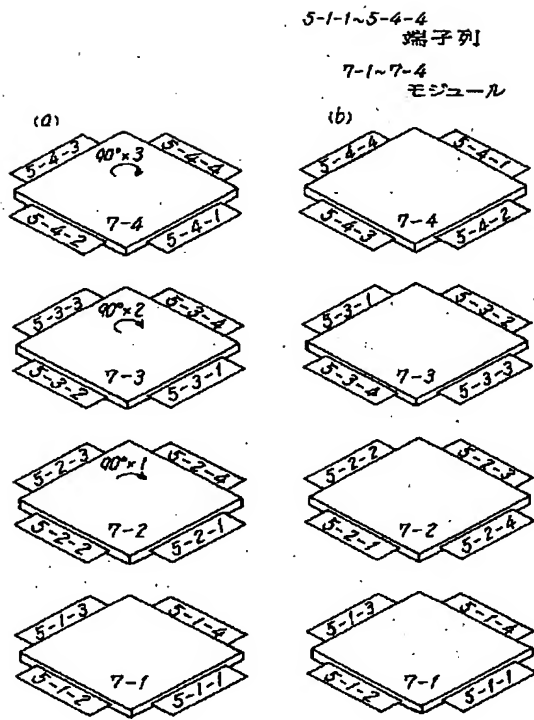
- 1 基板
- 2 メモリー IC のペアチップ
- 3 チップコンデンサ
- 4 リードフレーム
- 5 リード端子
- 6 支持枠
- 7, 7-1, 7-2, 7-3, 7-4 モジュール
- 7-a, 7-b 多階層モジュール
- 5-1-1~5-4-4 端子列

【図4】

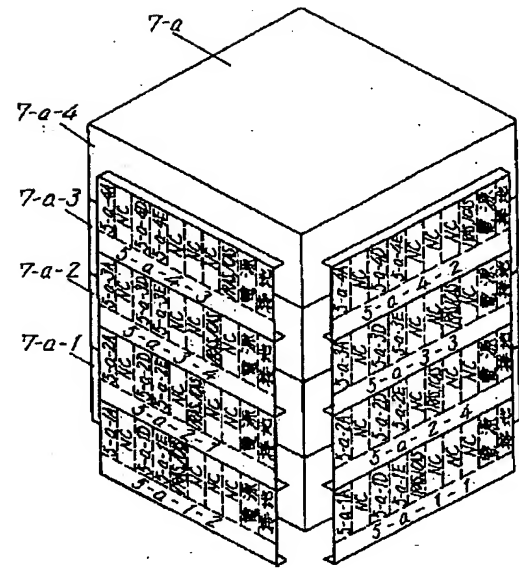


(6)

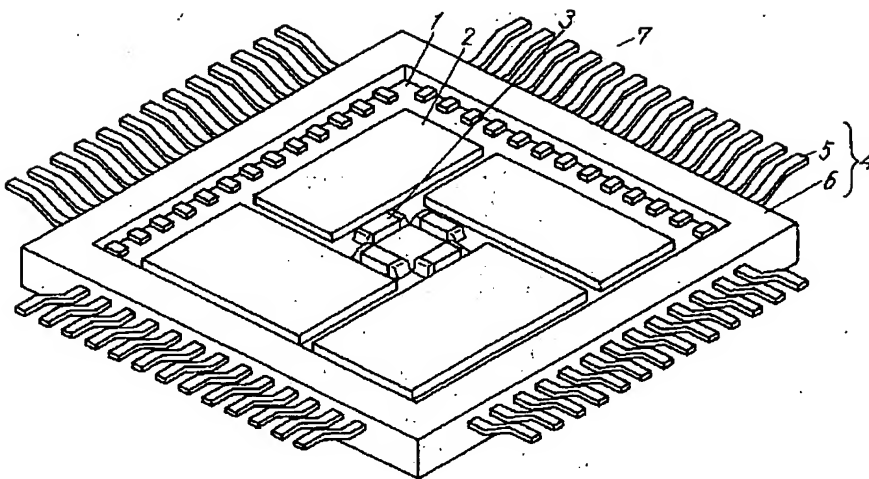
【図1】



【図6】

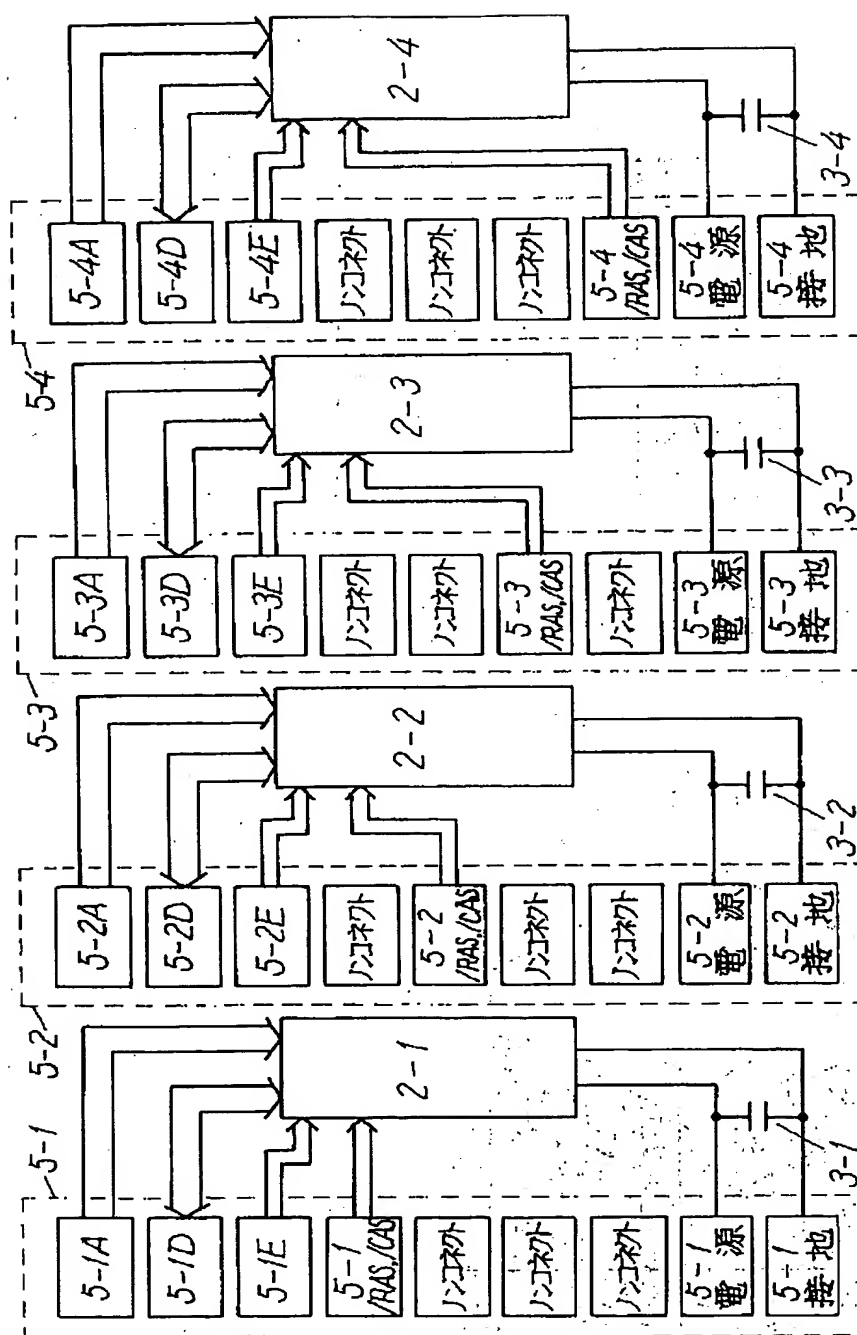


【図3】



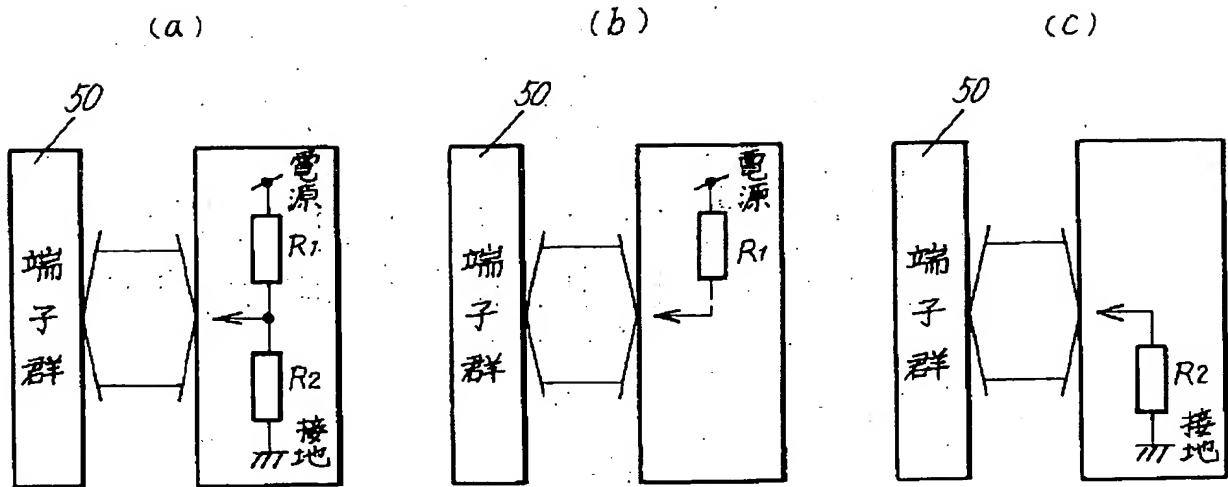
(7)

【図2】

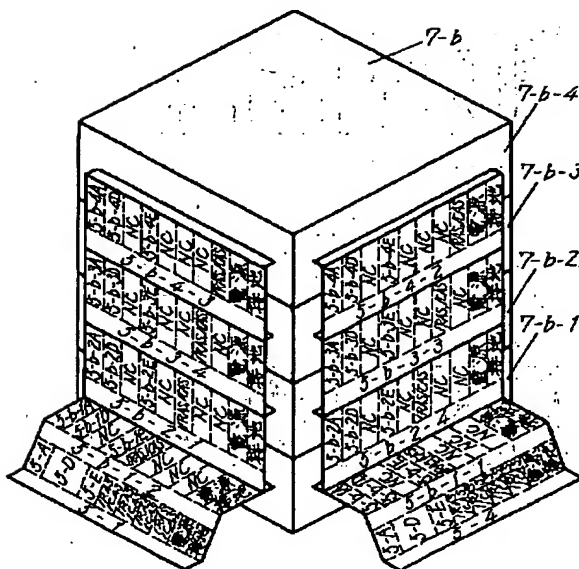


(8)

【図5】

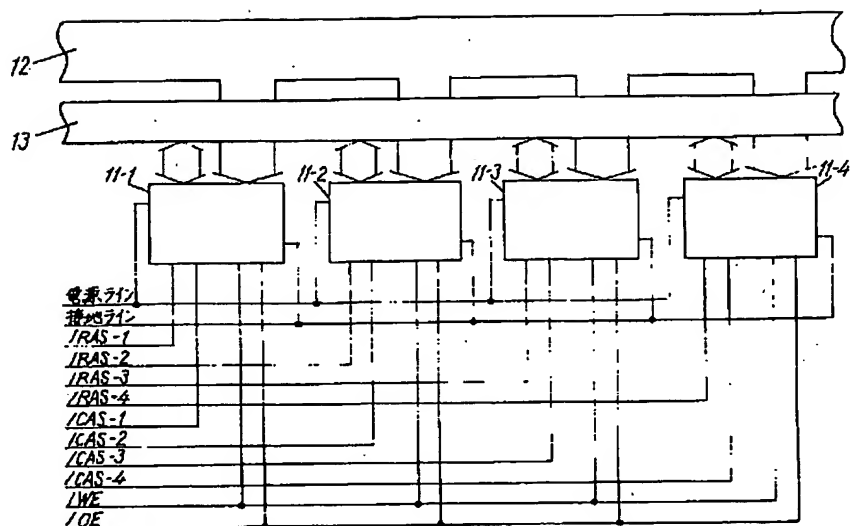


【図7】

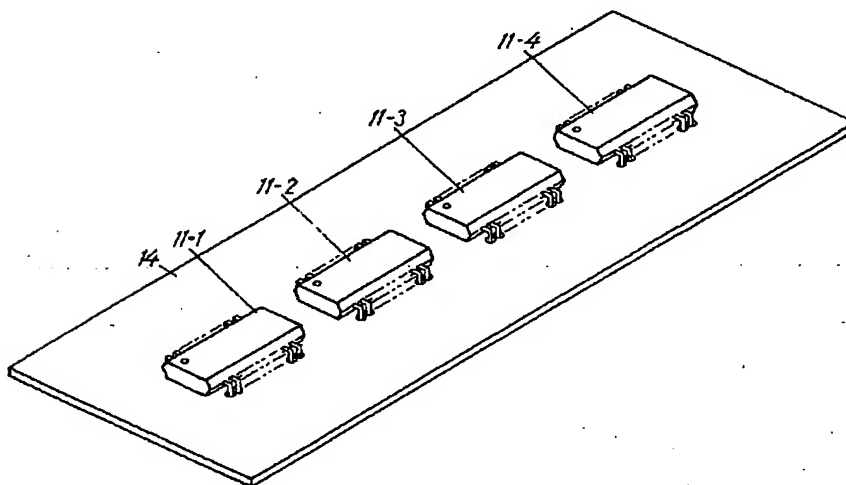


(9)

【図8】



【図9】



フロントページの続き

(72)発明者 岩田 雅男
大阪府門真市大字門真1006番地 松下電器
産業株式会社内